

的重要性，是ELSI組持續以來的努力方向。相關議題的探討可以激發民眾對基因體研究和應用之了解及提高接受度，達到政府推廣基因體醫學之目標。

2. 彙整、分析國內IRB在進行「後基因體時代醫學研究」之倫理審查時所面臨的新興ELSI議題，並提出因應之建議。並擴大ELSI的涵蓋面，針對神經科學、奈米科技晚近發展所衍生的ELSI議題，進行前瞻性的研究。展望未來，在研究成果移轉到生技產業時所涉及的智財權之釐清、基因醫藥臨床試驗規範的建立、遺傳諮詢人員的培訓等方面，需要ELSI學者繼續發揮其研究能量，讓台灣基因體醫學研究能夠在符合國際規範、又能獲得國內民眾信賴的倫理與法律基礎設施中向前推進。
3. 改善法規環境及推動臨床試驗審查流程及審查制度，一方面協助衛生署持續針對新醫療技術領域相關法規進行研究，並提供法規架構或制訂建議；另一方面，亦逐步針對基因體醫學相關臨床試驗及產品研發審核之申請案件，建立高品質之審查作業流程及基準，可為國民的醫療安全把關，達到提升社會生活品質的目的。將可協助國內廠商及研究單位解決相關產品或技術研發過程的法規困難，有效縮短研發期程、減少資金的浪費及投入。並透過與ELSI領域研究團體的合作，於生技法規之研擬與國內ELSI研究成果的落實之間，提供重要的貢獻、擔任醫學科學及法律二專業領域交流之重要角色。
4. 以傳染病監測為主要目的，建立多項重點病原體基因資料庫，選擇重要傳染病原體進行大規模基因定序工作，有效率地完成目前及過去所累積之大量病原體基因序列，作為後續比對及演化分析基礎，並整合病例檢體及各類生物材料與流行病學資訊，適時提供分子流行病

學資訊，運用相關基因資料，長期追蹤境內重要病原基因之變異情形，估算常態環境中重點病毒的基因演化速率，推測其感染源，同時應用足夠的基因資訊，進行病原體實驗室快速檢驗技術的開發，作為傳染病及時預警及防疫政策參考。

5. 提供有關食品烹調所排放的油煙和汽機車廢氣排放對環境衛生所造成的影響，及對民眾健康可能產生的影響，可供有關單位制定相關法規時的依據。
6. 建立國人遺傳疾病之服務網路、加強醫學遺傳醫師與遺傳諮詢師的訓練，可以提升遺傳疾病之診斷，並提供家族遺傳諮詢、基因篩檢及產前遺傳診斷服務，以預防疾病再度發生的可能，降低國內遺傳性（含罕見）疾病的發生率，期能真正達到預防保健的目標。
7. 蛋白質體臨床應用技術於肝、腎、癌症等相關疾病中搜尋候選生物標記，未來應用於臨床診斷、早期偵測，及預後追蹤，將可降低國內相關之健保支出。另外也強化本計畫所產出之技術與產品之全球智慧財產權佈局與保護，以提升技術門檻，增加國際競爭力。同時也適時的導入國際相關法規，並透過國際合作的方式與國際接軌。

## 第六節 晶片系統國家型科技計畫

### 一、計畫概況

晶片系統國家型科技計畫 (<http://www.twinsoc.org>) 96年已進入第二期計畫之第二年，以「創造優質生活之兆級多元整合技術 (heterogeneous giga-scale integration for better life)」為執行主軸，目的在以推動半導體產業升級為手段，達成建立優質生活家園的目標 (圖 3-1-6-1)。本計畫希望利用我國半導體在製造上的優勢，開創以知識經濟為基礎的設計創新行業，並建置嵌

入式運算核心及異質整合晶片設計環境，提升系統整合能力並掌握核心價值，以使我國持續在全球半導體、資訊產業扮演舉足輕重的角色。

第二期計畫主要目標在於創新產品的開發、前瞻技術的整合、與人才環境的全球化，居於「矽晶圓製造為根，晶片系統設計為幹，創造優質生活為果」的基本精神，因而規劃 3 個分項，作為長期努力的目標，另規劃 3 個專案作為橫向整合，以滿足短期技術的需求。分項及專案之敘述如下：

### (一) 分項一：以創新產品為導向之系統整合技術

1. 多元網路整合技術 (heterogeneous network integration)：異質網路整合與上層應用整合，作到 seamless applications、IP mobility 與 ubiquitous networking。
2. 數位生活數位家庭 (e-life and digital home)：迎接數位家庭，圍繞 human-centric 開發相關多媒體產品技術，豐富娛樂教育內涵。

3. 健康監控生活照護 (e-health, health monitoring and life care)：發展健康監控與居家照護系統並結合網路系統開創 e-health、e-life 的新應用。

### (二) 分項二：以前瞻技術為導向之晶片整合技術

1. 前瞻 電路 智 財 模 組 (advanced IP technology)：開發多元網路與數位家庭的關鍵智財模組，作為系統晶片整合的基礎。由政府投入資源，引導開發先進製程設計技術，以順利促成技術升級。
2. 多元 模 組 整 合 技 術 (heterogeneous integration - CMOS/MEMS/SiP, D/A/RF)：整合數位、類比、射頻模組，降低能耗、減少成本、提升 IC 產品附加價值，並進一步整合微機電與感測元件，以開創健康監控與生活照護的新應用。
3. 自動設計軟硬共構 (EDA and hardware/software co-design platform)：厚植嵌入式軟體技術，開發其發展系統平台與週邊相關應用軟體工具鏈。引進先進 EDA 技術，開發共時軟硬體驗證流程，以縮短設計流程。



圖 3-1-6-1 創造優質生活之多元化整合技術

資料來源：晶片系統國家型科技計畫辦公室。

### (三) 分項三：前瞻 SoC 設計人才養成與環境建構

1. 晶片系統教育改進與人才養成計畫：以「前瞻晶片系統設計人才培育先導計畫」，培育電機資訊相關科系學生為具國際競爭力的晶片系統軟硬體設計之高級人才。為工程師再教育與轉業之培訓，以系統晶片產業人才培訓為延伸。以訓練具國際觀與國際知名度之設計人才，提升我國技術的能見度為規劃內容。
2. 設計專區設計與環境建構：推動IP使用成為台灣SoC設計的主流模式，並建構完整之IP商業整合環境。推動設計驗證前瞻SoC產品設計所需之設計環境。
3. 服務產業與全球市場：推動參與國際SoC/IC組織與標準會議，引進國外主流產品技術。專人專職參與國際標準組織，引進前瞻標準技術，並學習市場調查與分析方法。

### (四) 專案一：射頻與混合信號電路設計 (RF and Mixed Signal Circuit Design)

1. 系統架構與標準規範 (分項一)
2. RF/MSD 前瞻電路模組設計 (分項二)
3. 射頻與混合訊號電路教育改進聯盟 (分項三)

### (五) 專案二：嵌入式軟體 (Embedded Software)

1. 嵌入式軟體應用平台 (分項一)
2. 嵌入式軟體設計平台 (分項二)
3. 嵌入式軟體教育改進聯盟 (分項三)

### (六) 專案三：異質整合技術 (SiP/MEMS/sensor integration)

1. 生醫晶片系統開發 (分項一)
2. 系統封裝、微機電、感測元件之設計與整合 (分項二)
3. 異質整合技術人才培育 (分項三)

92至96年度晶片系統國家型科技計畫投入經費與人力如圖3-1-6-2。

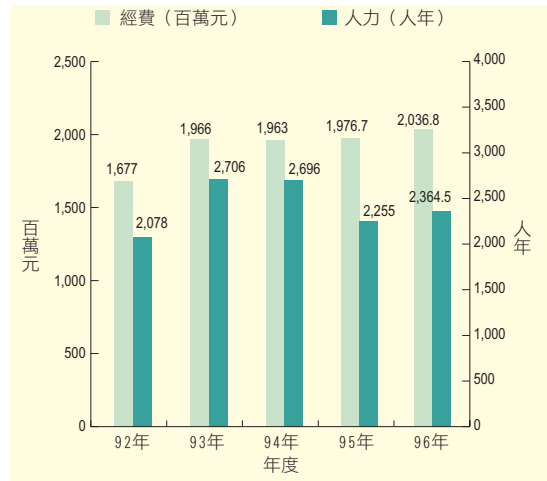


圖 3-1-6-2 晶片系統國家型科技計畫投入經費與人力

資料來源：晶片系統國家型科技計畫辦公室。  
註：經費為法定預算數

## 二、重要成果

### (一) 開發關鍵核心成果豐碩

工業技術研究院晶片中心研發國內第一個自主設計的32位元高階數位訊號處理器(圖3-1-6-3)。其多項技術指標經委託國際公正機構BDTi(Berkeley Design Technology, Inc., <http://www.bdti.com>)的評比認證,與國際大廠CEVA、Freescale Semiconductors的同等級產品CEVA-X 1620、StarCore SC1200,在電源功率消耗及晶片面積大小上略勝一籌(表3-1-6-1)。

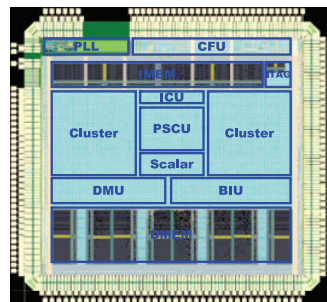




圖 3-1-6-3 DSP V3.0 晶片電路佈局圖,其四周為輸出與輸入埠及電源線路,中間黑褐色部分為記憶體及邏輯閘。

資料來源：晶片系統國家型科技計畫辦公室。

表 3-1-6-1 PAC DSP 性能比較

Vender Property	ITRI/STC	StarCore		CEVA
	PAC DSP	SC2000	SC1200	CEVA-X 1620
Architecture	5 way VLIW	6 way VLIW	6 way VLIW	8 way VLIW
Frequency (MHz)	312	250~350	305	450
Process	0.13μm	0.13μm~90nm	0.13μm	0.13μm
Performance (MIPS)	1560	1500~2100	1830	3600
Power Consumption (mW/MIPS)	0.08 	—	0.098 (Without Memory)	0.08 (Without Memory)
Area	350 K gates 	—	—	1.6mm <sup>2</sup>
Power Management	Yes	Yes	Yes	Yes

資料來源：晶片系統國家型科技計畫辦公室。

此外，由工業技術研究院晶片科技中心完成開發全球頂尖低功耗、低電壓，可應用於下一代移動手持式數位視訊廣播之 DVB-H RF Tuner IC，係採用 1.2V TSMC 0.13um CMOS 製程，連續接收模式下最高功耗僅為 114mW，10% time slicing 模式下最高功耗為 11.4mW，晶片面積也僅為 7.2 mm<sup>2</sup>；並以架構及電路之設計技巧突破低電壓低電流及高線性度的要求（圖 3-1-6-4 與表

3-1-6-2），已先提暫時性（provisional）專利申請案共 6 件，此研發成果亦成功技轉台灣創毅公司（Mavcom），加速其建立手機電視市場晶片和系統解決方案的能力。

1. PAC Plus! 平台計畫：晶片中心並完成強化版 PAC plus!（圖 3-1-6-5）之研發，將已商業化之 PACDSPv3.0 的效能提升 30~40%，其指令集架構（ISA）仍保持與先前版本完全相容，而主要改良的部

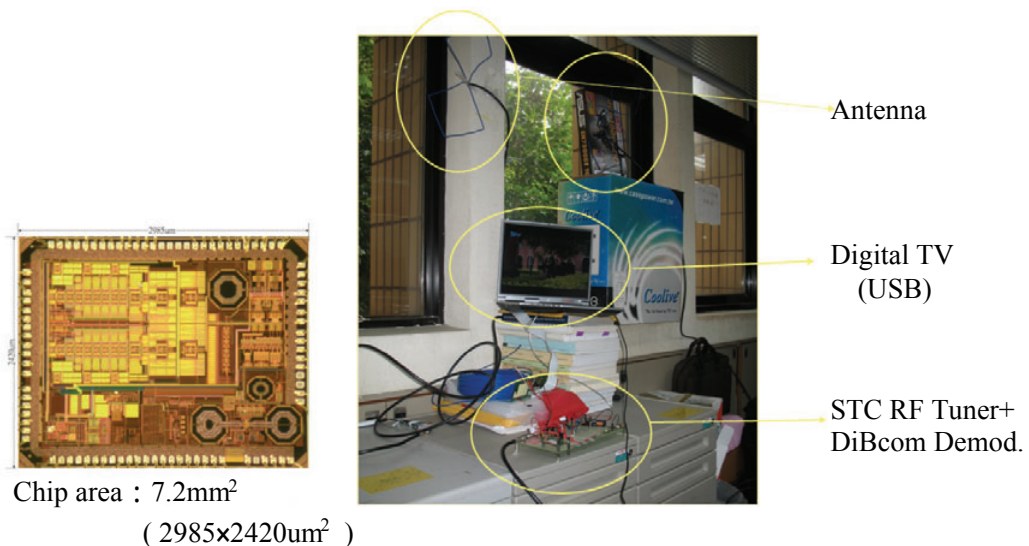


圖 3-1-6-4 工業技術研究院晶片中心開發之 DVB-H RF Tuner IC

資料來源：工業技術研究院晶片中心。

註：DVB-H RF Tuner IC 可應用於下一代移動手持式數位視訊廣播，為全球頂尖低功耗、低電壓，且面積小之數位矽晶調諧器。此晶片佈局圖表已設計完成進入製程階段，於晶圓廠下線生產後，即可產品化。



表 3-1-6-2 晶片中心在低功耗、低電壓等技術指標上，已領先國際大廠，其相關技術規格亦與世界同步。

DVB-H RF IC 與國際技術比較表								
比較對象	製程	工作頻段	晶片面積 (mm <sup>2</sup> )	功耗 @Vdd	雜訊指數 (dB)	三階輸入截取點	二階輸入截取點	相位雜訊
飛思卡爾 (MC44CD02)	0.35um SiGe	UHF	11.5 (3.4X3.4)	240mW @2.7V	8.5	+8.5	+35	0.8°
Microtune	0.35um	UHF	12,3	340mW	3.6	+4	+27	0.5°
博通	0.18um	UHF	9.7	295mW	3.5	-0.5	+30	0.5°
三星	0.18um	UHF	7.8	190mW	4.5	-5	+40	0.5°
先鋒	0.5um	UHF	16	184mW	4.6	-6.8	-	-
工研院晶片中心	0.13um CMOS	UHF L-Band	7.2 (2.4X3)	114mW @1.2V	4	+5	+35	0.5°

資料來源：工業技術研究院晶片中心。

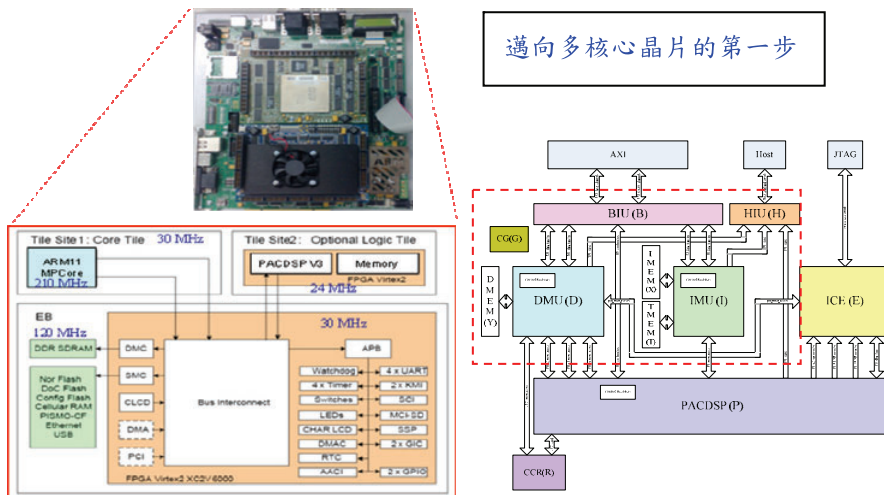


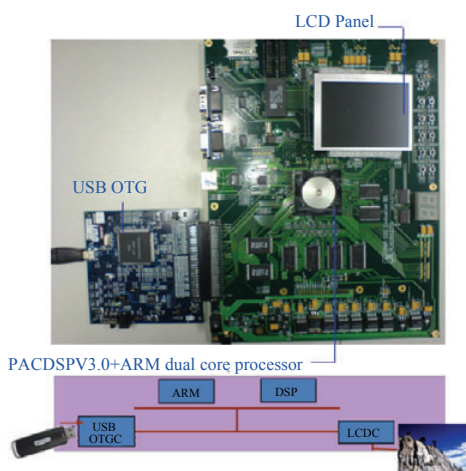
圖 3-1-6-5 PAC Plus!平台計畫

資料來源：工業技術研究院晶片中心。

份為系統介面，包括快取 (cache) 控制器及直接記憶體存取 (DMA) 控制器。另外，更提供新一代晶片匯流排溝通界面 (AMBA3.0, AXI) 選擇，可大幅提升資料傳輸效率。

- 手持多媒體應用平台：國內首次發展出個具備 DVFS (Dynamic Voltage Frequency

Scaling) 功能之雙核心平台。此發展平台於97年初獲CIC採用。提供國內學術研究單位實體平台，發展超低功耗之多媒體應用，加速開發SoC相關軟體，厚植技術實力，搶得進入市場之利基。(圖 3-1-6-6)



#### ■ Operation flow

Get JPEG files from USB flash disk  
Decode JPEG file with JPEG CODEC  
Display JPEG files on LCD

#### ■ Features

Command line console  
Support USB 2.0 flash driver  
Support FAT filesystem  
JPEG playback  
Dual coreprocessing  
Resolution:640\*480 pixed  
Slide show display  
Play forward or backward

圖 3-1-6-6 手持多媒體應用平台

資料來源：工業技術研究院晶片中心。

## (二) 英文新書出版提升國際學術地位

本計畫鼓勵 SoC 領域教師與國際知名出版社合作，出版英文教科書，目前已有 3 本英文教科書已出版：1.《VLSI Design of Wavelet Transform》；2.《IQ Calibration Techniques for CMOS Radio Transceivers》；3.《OFDM Baseband Receiver Design for Wireless Communications》(圖 3-1-6-7)，對於提升我國學術界在國際 SoC 領域的地位與能見度有直接的助益。而間接地，也為奠定我國屹立於全球半導體產業龍頭的基礎，跨出重要的第一步。

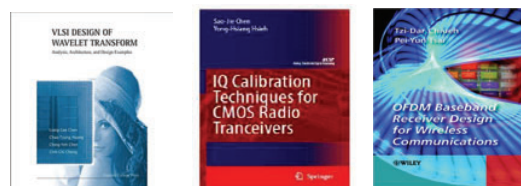


圖 3-1-6-7 與國際知名出版社合作之 SoC 領域英文教科書  
資料來源：晶片系統國家型科技計畫辦公室。

## (三) 研究成果屢創佳績

經過幾年國家計畫之推動，研究能量及實力大幅提升，在國際相關重要研究舞台如 ISSCC 及 DAC 等重量級殿堂大放異彩。ISSCC 論文由 2002 年只有 1 篇成長至 2007 年的 20 篇，可謂有長足的進步(表 3-1-6-3)。2007 年 EDA/Test 領域的論文也有 20 篇的論文發表於 DAC/ICCAD/ITC 等一流之學術會議上。

## (四) 業界前瞻研發蓄勢待發

96 年業界科專及主導性新產品簽約件數之目標值分別為 8 件及 6 件，實際完成簽約件數為業界科專 12 件及主導性新產品 8 件。

經濟部技術處業界科專 96 年完成技轉國內一流大廠(凌陽科技)之 PAC DSP 技術專利授權案，包含 PAC DSP 相關 15 案 35 件核心專利(含申請中)，技轉簽約金額高達 3,000 多萬元；該公司將本計畫之 PAC DSP 與其自主開發以及業界科專支持的 32 位元 S+Core™ 處理器(MPU)互相搭配，成立新創公司 - 凌陽核心科技，從事多媒體應用處理器晶片及多媒體應用處理器的開；接棒完成產品商品化，希望能發揮綜效，帶領台灣搶進 80 億美元規模的數位訊號處理 SoC 晶片市場，帶動國內可攜式 3C 終端產品之產值再創高峰。

IP Mall 完成與國內外知名電子設計自動化軟體業者如 Synopsys、Cadence、Mentor 與 Agilent 等設計平台之建置，提供 EDA/IT 軟硬體設計環境服務。

表 3-1-6-3 ISSCC 指標型論文數大幅成長

2002		2003		2004		2005		2006		2007	
國家	篇數	國家	篇數	國家	篇數	國家	篇數	國家	篇數	國家	篇數
USA	84	USA	80	USA	82	USA	93	USA	117	USA	88
Japan	30	Japan	37	Japan	44	Japan	45	Japan	43	Japan	27
Korea	12	Korea	19	Korea	17	Korea	17	Taiwan	17	Korea	25
Netherlands	8	Netherlands	13	Netherlands	11	Taiwan	15	Korea	16	Taiwan	20
Germany	6	Germany	10	Germany	8	Netherlands	10	Germany	13	Germany	12
Belgium	4	Italy	5	Belgium	7	Switzerland	10	Netherlands	8	Italy	10
Finland	4	Canada	4	Taiwan	6	Italy	8	Italy	7	Netherlands	10
Italy	3	Switzerland	4	Switzerland	5	Canada	7	Austria	6	Switzerland	9
Canada	2	France	4	Italy	4	France	6	Switzerland	5	Belgium	7
China	2	Belgium	3	France	3	Germany	4	Belgium	4	Austria	6
Ireland	1	Taiwan	3	Canada	2	Belgium	4	Canada	4	France	5
Taiwan	0	China	2	Ireland	2	China	4	China	3	Canada	3
Switzerland	0	Ireland	1	Finland	1	Ireland	4	France	3	Finland	3
France	0	Finland	0	China	0	Finland	1	Sweden	3	England	3

資料來源：晶片系統國家型科技計畫辦公室。

圖 3-1-6-8 可說明晶片系統國家型科技計畫如何從產品產業策略出發，透過前瞻電路智財設計、前瞻系統測試封裝，以及設計工具或平台的發展，達成創新性整合系統的目標。

### 三、潛在影響與展望

為積極建立台灣成為全球 SoC 設計中心，晶片系統國家型科技計畫鼓勵學術單位建立並開發研擬前瞻性之智財及平台相互間之相容機制，率先研擬智財建立標準流程，樹立台灣學術界在智財開發管理能力之領先地位，藉由相容機制之建立，同時可提供國家計畫順利完成產學研相關補助案之成果試用與彙集，作為國家推動 SoC 計畫之整體成效表徵及積極向外推廣之具體成果。

台灣學術界，長久以來累積 IC 設計的經驗，開發出不少相當先進的智財，如能加以整理彙集、提供 IC 設計公司授權使用，提供優良的設計平台，供全球客戶使

用，使台灣能在製造利基上繼續做強有力的發揮，開創出新的設計優勢，從而在世界半導體、資訊電子業扮演舉足輕重的角色。在晶片系統國家型科技計畫之推動下，已有軟體設計園區之建立，藉由鼓勵 SoC 智財之佈局，使國內晶片設計公司有更大的空間與籌碼能與國際大廠相抗衡。除此之外，我們也將藉由積極參與國際標準制定會議並推動市場、技術、設計環境全球化。在學術論文發表方面，自從本計畫執行至今，SoC 相關之一流期刊及國內外指標型國際研討會之論文發表數逐年增加（每年達 50 篇以上），顯示出本計畫執行之卓越成就，未來我們將秉持質量並重的目標，提升國際學術地位與能見度。

隨著資訊家電時代及個人化通訊服務的到來，系統單晶片（SoC）成為未來半導體技術的重要指標，因半導體製程技術發展快速，許多終端系統產品已可輕易集中濃縮於單一晶片來實現，支援資訊、通訊、光電、生物醫學等產業的系統晶片可視為

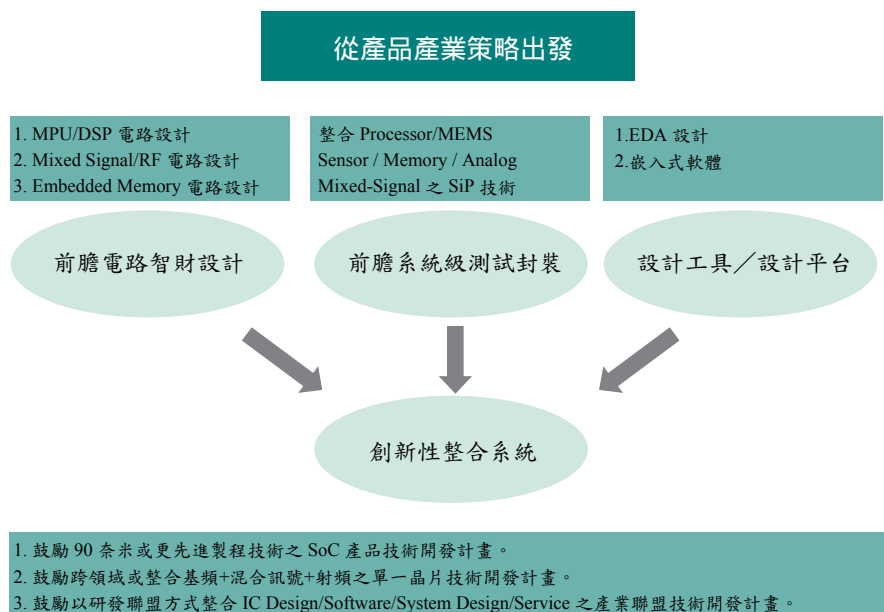


圖 3-1-6-8 從產品產業策略出發，達成創新性整合技術

資料來源：晶片系統國家型科技計畫辦公室。

台灣未來產業發展的方向。

晶片系統國家型計畫第二期以 SoC 晶片設計為主軸，搭配以優質生活為目標的理想，積極推動發展各項便利人類生活的資訊、通訊、消費性電子、數位內容等科技，舉凡通訊、健康監控、生活照護、生物晶片與高功能機器人等，皆為發展的方向與目標；目前先進國家所極力發展的科技，由於控制、感測及通訊電路之複雜程度隨著功能細緻化而漸漸提高，在強調多功能與使用方便的考量下，系統晶片的技術整合已是當務之急。2006 年台灣 IC 產業附加價值為 3,287 億元，較 2005 年成長 18%，若依全國 2006 年 GDP 約 11 兆 1,468 億元計算台灣的 IC 產業對 GDP 的貢獻約為 2.9%。2007 年台灣 IC 產業附加價值為 3,485 億元，較 2006 年成長 6.0%。目前我國具有世界上數一數二的先進半導體製程技術，論文產出量亦爬升到居世界前三、四名，因此只要加強人才培育、提升 SoC 設計能力及整合相關資源，幾年內，我國在世界上晶片

系統設計能量必能倍增，並在全球 SoC 產業佔有一席之地。

## 第七節 奈米國家型科技計畫

### 一、計畫概況

奈米國家型科技計畫 (<http://nano-taiwan.sinica.edu.tw/newsbig5.asp>) 於 92 年 1 月 1 日起開始執行，計畫時程 6 年，總經費約為 210 億元。整體計畫規劃範圍包括學術卓越、產業化技術、核心設施建置以及人才培育等 4 個分項計畫。奈米國家型科技計畫是以人才培育和核心設施建置為基礎，達到「學術卓越研究」及「奈米科技產業化」。計畫目標包括：（一）藉由「學術卓越」計畫提升我國奈米科技研究的原創性，以促成跨領域研發團隊之整合；（二）藉由「奈米技術產業化」計畫建立我國所需要之奈米技術平台，以促進奈米技術產業應用及落實，並全力推動「創新」和「整合」，結合我國優勢產業及相關基礎學術